

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102502

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

H01L 21/8244  
H01L 27/11  
H01L 27/10  
H01L 29/786

(21)Application number : 07-177304

(71)Applicant : INTERNATL BUSINESS MACH CORP  
<IBM>

(22)Date of filing : 13.07.1995

(72)Inventor : RAJEEVAKUMAR THEKKEMADATHIL V

(30)Priority

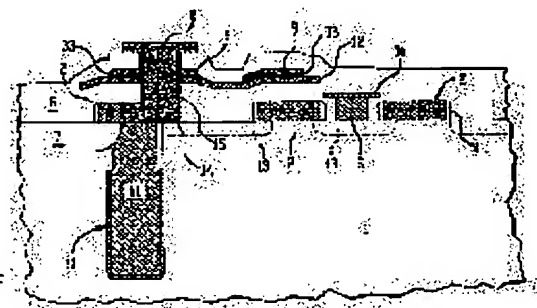
Priority number : 94 289155    Priority date : 11.08.1994    Priority country : US

## (54) LARGE-CAPACITY MULTIPLE-STAGE STORAGE NODE FOR HIGH-DENSITY TFT LOAD SRAM WITH LOW SOFT-ERROR RATE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a device, which does not generate high-frequency noise by connecting a plurality of polysilicon stages to a diffused region and a trench capacitor at one contact point.

SOLUTION: A multiple-stage contact point 8 is connected to a trench-capacitor node 11, a diffused region 13, a gate polysilicon 2, a gate polysilicon 12 of a PMOS-load TFT and a main-body polysilicon 9 of the PMOS-load TFT. A hole occupied by the contact point 8 has linings of a TiSi<sub>2</sub> layer 14 and a TiN layer 15. The desirable material of the contact point itself is tungsten. The TiN layer and the TiSi<sub>2</sub> layer form the good electric contacts between the contact point 8 and the various elements described above and become a diffusion barrier for preventing the diffusion of dopant from the certain polysilicon layer to the other polysilicon layers (e.g., from a main-body polysilicon layer to the other polysilicon layers).



## LEGAL STATUS

[Date of request for examination] 31.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3079015

[Date of registration] 16.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

16.06.2003

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102502

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/8244				
27/11				
27/10	4 9 1			
		9056-4M	H 0 1 L 27/ 10 3 8 1	
			29/ 78 6 1 3 B	
		審査請求 未請求 請求項の数21	OL (全 9 頁)	最終頁に続く

(21) 出願番号 特願平7-177304

(22) 出願日 平成7年(1995)7月13日

(31) 優先権主張番号 2 8 9 1 5 5

(32) 優先日 1994年8月11日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72) 発明者 テッケマダティル・ヴェラユダン・ラジェーヴァクマル

アメリカ合衆国10583 ニューヨーク州スカーズデール ファーンドール・ロード153

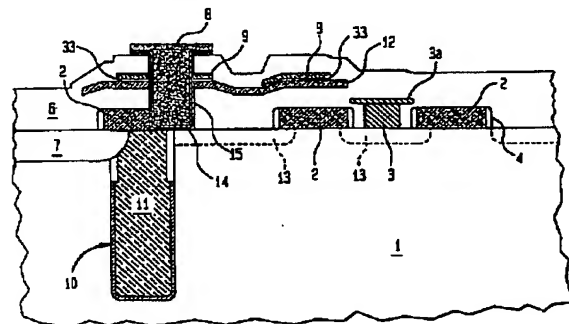
(74) 代理人 弁理士 合田 潔 (外2名)

(54) 【発明の名称】 ソフト・エラー率が低い高密度TFTロードSRAM用の大容量多段記憶ノード

(57) 【要約】

【目的】 高密度SRAM用の大容量多段記憶ノード接点を提供する。

【構成】 ここに提案する接点は、1つの接点で、複数のポリシリコン段を拡散領域およびトレンチ・キャパシタに接続する。トレンチ・キャパシタによって高い記憶ノード容量が提供されるため、セルのソフト・エラー発生率が大幅に低下する。単一接点を使って複数の段を接続することにより、面積が縮小する。この接点は、異なるポリシリコン層間のドーバント拡散を減少させるため、障壁層としてTiNを使用することが好ましい。



【特許請求の範囲】

【請求項1】基板と、

基板内に形成されたキャパシタと、  
基板内でキャパシタと隣接する第1の拡散領域と、  
キャパシタと接触する第1のゲート・ノードと、  
基板内で第1の拡散領域から離隔された第2の拡散領域と、

第1および第2の拡散領域と接触する第2のゲート・ノードと、

第2の拡散領域と接触する第3のゲートと、

第2の拡散領域と接触し、第1および第2のゲート・ノードから電氣的に分離された接点と、

第1、第2および第3のゲート・ノード、接点、ならびに基板露出表面の上の絶縁体層と、

絶縁体層上に形成されたポリシリコン・ゲート層と、  
ポリシリコン・ゲート層上に形成されたポリシリコン本体と、

キャパシタを、第1の拡散領域、第1のゲート・ポリシリコン層、ポリシリコン・ゲート層およびポリシリコン本体のそれぞれに電氣的に接続し、それによりセルのラッチ・ノードを形成する単一接点を含むSRAMセル。

【請求項2】単一接点が、第2のトレンチ内に垂直方向に配設されていることを特徴とする、請求項1に記載のSRAMセル。

【請求項3】第2のトレンチが、拡散障壁層でライニングされていることを特徴とする、請求項2に記載のSRAMセル。

【請求項4】キャパシタが、  
基板内に形成されたトレンチと、  
トレンチをライニングする誘電体材料と、  
トレンチ内のプレート材料とを含むことを特徴とする、  
請求項1に記載のSRAMセル。

【請求項5】ゲート層が、薄膜トランジスタのゲート層であり、本体が、薄膜本体であることを特徴とする、請求項1に記載のSRAMセル。

【請求項6】基板内で第1のトレンチと隣接するが第1の拡散領域とは接触しないLOCOS絶縁体領域をさらに含むことを特徴とする、請求項1に記載のSRAMセル。

【請求項7】基板を準備する段階と、  
基板内にキャパシタを形成する段階と、  
基板内でキャパシタに隣接して第1の拡散領域を形成する段階と、  
記憶ノード上に第1のゲート・ノードを形成する段階と、  
基板内で第1の拡散領域から離隔させて第2の拡散領域を形成する段階と、  
第1および第2の拡散領域と接触する第2のゲート・ノードを形成する段階と、

第2の拡散領域と接触する第3のゲート・ノードを形成する段階と、

第2の拡散領域上に、第1および第2のゲート・ノードから電氣的に分離された接点を形成する段階と、

第1、第2および第3のゲート・ノード、接点、ならびに基板露出表面の上の絶縁体層を形成する段階と、

絶縁体層上にポリシリコン・ゲート層を形成する段階と、

ポリシリコン・ゲート層上にポリシリコン本体を形成する段階と、

10 キャパシタを、拡散領域、第1のゲート・ポリシリコン・ノード、ポリシリコン・ゲート層およびポリシリコン本体のそれぞれに電氣的に接続する単一接点を形成する段階とを含むSRAMセルを製造する方法。

【請求項8】キャパシタを形成する段階が、さらに、  
基板内にトレンチを形成する段階と、

トレンチを誘電体材料でライニングする段階と、

トレンチをゲート材料で充填する段階とを含むことを特徴とする、請求項7に記載の方法。

20 【請求項9】単一接点が、垂直方向に配設されることを特徴とする、請求項7に記載の方法。

【請求項10】垂直な接点を拡散障壁層で実質上取り囲む段階をさらに含むことを特徴とする、請求項9に記載の方法。

【請求項11】キャパシタを形成する段階が、さらに、  
基板内にトレンチを形成する段階と、  
トレンチを誘電体材料でライニングする段階と、  
トレンチをゲート材料で充填する段階とを含むことを特徴とする、請求項9に記載の方法。

30 【請求項12】基板と、  
基板内に形成されたトレンチ・キャパシタと、  
基板内でキャパシタと隣接する第1の拡散領域と、  
トレンチ・キャパシタ上の第1のゲート・ノードと、  
基板内で第1の拡散領域から離隔された第2の拡散領域と、

基板表面上にあり、第1および第2の拡散領域と接触する第2のゲート・ノードと、

基板表面上にあり、第2の拡散領域と接触する第3のゲート・ノードと、

40 第2の拡散領域と接触し、第1および第2のゲート・ノードから電氣的に分離された接点と、

第1、第2および第3のゲート・ノード、接点、ならびに基板露出表面の上の絶縁体層と、

絶縁体層上に形成されたポリシリコン・ゲート層と、  
ゲート層上に形成されたポリシリコン本体と、

記憶ノードを、拡散領域、ゲート・ポリシリコン層、ゲート層および本体のそれぞれに電氣的に接続する接点とを含むSRAMセル。

50 【請求項13】接点が、垂直方向に配設されることを特徴とする、請求項12に記載のSRAMセル。

【請求項14】接点が、第2のトレンチ内に配設され、第2のトレンチが、拡散障壁層でライニングされることを特徴とする、請求項13に記載のSRAMセル。

【請求項15】基板内で第1のトレンチと隣接するが第1の拡散領域とは接触しないLOCOS絶縁領域をさらに含むことを特徴とする、請求項13に記載のSRAMセル。

【請求項16】基板と、  
基板内の第1の拡散領域と、  
第1の拡散領域上の第1のゲート・ノードと、  
基板内で第1の拡散領域から離隔された第2の拡散領域と、  
第1および第2の拡散領域と接触する第2のゲート・ノードと、  
基板表面上にあり、第2の拡散領域と接触する第3のゲート・ノードと、  
第2の拡散領域上にあり、第1および第2のゲート・ノードから電氣的に分離された接点と、  
第1および第2のゲート・ノードの上にあり、第1および第2のゲート・ノードから電氣的に分離されたゲート層と、  
ゲート層上に形成された本体と、  
拡散領域、ゲート・ポリシリコン層、ゲート層および本体を電氣的に接続し、接点と接触する要素間の拡散を防止し、諸要素の極性を保持する手段によって実質上取り囲まれた単一接点とを含むSRAMセル。

【請求項17】単一接点と大地の間に容量を導入し、それによりセルの安定性を改善する手段をさらに含むことを特徴とする、請求項16に記載のセル。

【請求項18】単一接点が垂直方向に配設されることを特徴とする、請求項16に記載のセル。

【請求項19】容量を導入する手段が、単一接点とアースの間に配設されたキャパシタを含むことを特徴とする、請求項17に記載のセル。

【請求項20】キャパシタが、基板内のトレンチ内で単一接点とアースの間にあることを特徴とする、請求項19に記載のセル。

【請求項21】拡散を防止し諸要素の極性を保持する手段が、接点を取り囲む拡散障壁層を含むことを特徴とする、請求項16に記載のセル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、SRAMデバイスに関し、詳細には、そのようなデバイス用の多段記憶ノードに関する。

【0002】

【従来の技術】SRAMセルが、64Mbおよびそれ以上のSRAMに向けて拡張されるにつれて、セル面積を実際的な限度に抑えるために革新的な概念が必要とされている。セル面積が縮小すると、記憶ノードの容量も減

少し、その結果ソフト・エラー率(SER)が高くなる。自然に発生する放射線にさらされて、記憶(ラッチ)ノードに記憶された電荷が変化し、記憶されたデータが変化することがある。高速専用キャッシュは、高いソフト・エラー率を補償するために必要なる。誤り修正コーディング(ECC)にあまり依存しない傾向にあるため、高速のSRAMは、より低いソフト・エラー率を必要とする。

【0003】これまで、SRAMのソフト・エラーを減らすために、いくつかの方式が提案された。ある方式は、入出力部とラッチ・ノードの間にスタック式キャパシタを配置するものである(たとえば、米国特許第5016070号および5145799号明細書を参照されたい)。しかし、そのようなキャパシタは入出力部とラッチ・ノードのノイズ結合を増大させ、それによりセルのノイズ感受性が高くなる。さらに、スタック・キャパシタに関連する容量は限度があり、またスタック・キャパシタは平坦化の問題を引き起こす。

【0004】

【発明が解決しようとする課題】本発明によれば、各ラッチ・ノードの下にラッチ・ノードに接続されたトレンチ記憶キャパシタを配置することによって、ますます高密度へのSRAMの縮小に伴うソフト・エラーおよびその他の安定性の問題が解消できる。キャパシタがラッチ・ノードと大地の間にあるため、入力からのノイズを増やすことはない。ノードの容量は、トレンチの深さを深くすることによって、セル面積を上げずに任意に増やすことができる。従来の設計では、ソフト・エラーを減らすために、ビット線アクセス装置の両端間に容量を配置していた。しかし、この技法は、高周波ノイズが入出力部から入ってそのようなキャパシタを通り、エラーを生じる可能性があるため、無効であることが判明した。しかしながら本発明によれば、接地されたキャパシタによって、そのような高周波ノイズがないデバイス安定化が達成されるため、より良いセルの安定性が達成される。

【0005】さらに、本明細書で提案する新規の多層接点により、セル面積が縮小する。

【0006】

【課題を解決するための手段】本発明によれば、キャパシタを含むトレンチが基板内に形成された、改良型のSRAMセルが提供される。第1の拡散領域が、基板内にキャパシタに隣接して設けられ、第1のゲート・ノードがキャパシタ上に配置される。第2の拡散領域が、基板内に第1の拡散領域から離れて設けられ、第2のゲート・ノードが、第1および第2の拡散領域と接触する。第3のゲート・ノードが、第2の拡散領域の一部と接触する。第2の拡散領域上に接点が配置され、第1および第2のゲート・ノードから電氣的に分離される。第1、第2および第3のゲート・ノード、接点、ならびに基板の露出表面の上に絶縁層が設けられる。絶縁体層上にポリ

シリコン・ゲート層が形成され、ゲート層上にポリシリコン本体が形成される。縦型接点が、記憶ノードを、第1の拡散領域、第1のゲート・ポリシリコン・ノード、ポリシリコン・ゲート層およびポリシリコン本体のそれぞれに電気的に接続する。

【0007】SRAMセル内の各ラッチ・ノードは、そのような多段接点を1個ずつ有し、つまりSRAMセルごとにそのような接点とキャパシタが2個ずつある。

【0008】

【実施例】図1は、本発明によるSRAMセルの1つのノードの概略断面構造であり、そのようなセル内の1つの多段ポリシリコン拡散トレンチ接点、ならびにソフト・エラー率を低くするためのラッチ・ノードと大地の間のキャパシタを示す。図1のセル断面は、基板接点1、多段ポリシリコン拡散トレンチ接点8、ゲート・ポリシリコン2、接地接点3、接地線3a、酸化物スペーサ4、付着酸化物6、LOCOS（「シリコン局部酸化物」）絶縁体7、TFT（「薄膜トランジスタ」）本体ポリシリコン9、キャパシタ誘電体10、キャパシタ誘電体10内のトレンチ・ポリシリコン・ノード11、TFTゲート・ポリシリコン12、拡散領域13、TiSi<sub>2</sub>層14、およびTiN層15を含む。

【0009】基板1は、表面近くにp<sup>+</sup>エピタキシャル層を有するp<sup>+</sup>シリコン基板であることが好ましい。p<sup>+</sup>層は、後の拡散段階でn拡散領域13の形成を可能にするので都合がよい。あるいは、基板1を、表面近くにn<sup>+</sup>エピタキシャル層を有してp拡散を可能にするn<sup>+</sup>シリコン基板としてもよい。

【0010】本発明によれば、多段接点8は、(1)トレンチ・キャパシタ・ノード11、(2)拡散領域13、(3)ゲート・ポリシリコン2、(4)PMOS・ロードTFTのゲート・ポリシリコン12、および(5)PMOSロードTFTの本体ポリシリコン9（図14の100）に接続する。好ましい実施例では、接点8が占める孔は、TiSi<sub>2</sub>層14とTiN層15の内張りを有する。接点自体は、ポリシリコン、またはタングステンやアルミニウムなどの金属製である。好ましい材料はタングステンである。TiN層とTiSi<sub>2</sub>層は、接点8と上記の様々な要素との間で良好な電気接触を行い、かつあるポリシリコン層から別のポリシリコン層への（たとえば、本体ポリシリコン9からゲート・ポリシリコン12への）ドーパントの拡散を防ぐ拡散障壁を提供する。TiN層の代わりにTa<sub>2</sub>Nも使用できるが、TiNの方が好ましい。

【0011】好ましい実施例では、ゲート・ポリシリコン層2はそれぞれ、図15に示したセルの4つのnチャネル・デバイスのための別々のゲートを提供する。図1の接地接点3は、図15の接地接点110aおよび110bに対応する。接地接点3は、タングステン、アルミニウムまたは他の金属製であるが、タングステンが好ま

しい。

【0012】スペーサ4は、ポリシリコン・ゲートが他の論理デバイスと接触しないように保護する。これらのスペーサは、厚さ約200オングストロームであることが好ましい。

【0013】付着酸化物6は、接点3、ポリシリコン・ゲート2およびシリコン表面1から層12を絶縁する。

【0014】LOCOS絶縁層7は拡散領域13を他の拡散領域から電気的に分離する。

【0015】TFT本体ポリシリコン9はTFTゲート・ポリシリコン12と共に、図15のトランジスタ100を形成する。TFTゲート・ポリシリコン12はまた、図15のトランジスタ101のゲートとしても働く。

【0016】キャパシタ誘電体10は、ポリシリコン・ノード11とポリシリコン接点1（アース）の間のトレンチの容量を提供して、セルのラッチ・ノードに電氣的（電荷）安定性を与える。誘電体10（酸化物、シリコン窒化物またはその両者の複合物でよい）によって導入される大きな容量は、各ラッチ・ノードに関連する電荷の量がそのラッチ・ノードによって収集される放射線誘導ノイズの電荷量よりもずっと高くようにするためのものである。したがって、この電荷の安定性により、セルの安定性が確保される。より厚い誘電体10を使用して、安定性を高めることができる。層10の厚さは、約50〜80オングストロームであることが好ましい。層10の記憶ノードの容量は、トレンチの深さとキャパシタ誘電体の厚さに応じて、30〜100fF（フェムトファラッド）の間であることが好ましい。図には便宜上間に多段接点を有する記憶ノードとラッチ・ノードを1個だけ示してあるが、SRAMセルはそのようなノードを2個有することを理解されたい。

【0017】容量を追加する代替方法は、セルの加工後に、たとえば、接点8の上に接地面を設けることによりキャパシタを設けることである。

【0018】カラー31は、厚い酸化物からなり、処理の間にキャパシタ・トレンチの酸化表面が劣化しないように保護する。

【0019】図2は、図1のSRAMセルの上面図（レイアウト）を示す。図が見やすいように、TFTのゲートおよび本体は示していない。上面図は、ワード線23、拡散領域22、ビット線20、補ビット線21、トレンチ24、NMOSドライバ25、ポリシリコン拡散トレンチ接点26を示す。図1の接点8は、図2の接点26に対応する。セルは対称的で、分割ワード線配置を有する。接地接点3と、ビット線接点20および21は、ゲート・ポリシリコン2に対して無境界に作ることもできる。拡散領域22内のポリシリコン拡散トレンチ接点26とアクセス・トランジスタ102の間に抵抗領域を形成して、安定した低電圧動作のためにセル比を小

さくすることもできる。

【0020】図2に示した型式のセル配置では、約40リソグラフィ・スクエアのセル面積を実現することができる。次に、図1および図2の構造物を製造する好ましい方法を説明する。

【0021】図3を参照すると、まず、従来の方法を使ってトレンチ・キャパシタを形成する。このため、基板1内に、開口部のサイズと所望の容量に応じて適切な深さにトレンチ30を（好ましくは反応性イオン・エッチングRIEを使用して）エッチングする。好ましい実施例では、0.5ミクロンの開口部で深さ約10ミクロンである。

【0022】次に、トレンチ内にキャパシタ誘電体10を形成する。このキャパシタ誘電体は、次のように形成される。誘電体は、3層複合体であることが好ましい。まず、トレンチ内に酸素を導入することによってトレンチを酸化する。次に、高温で窒素を導入して窒化シリコンを形成する。最後に、シリコン窒化物を酸化すると、酸化物-窒化物-酸化物（ONO）の複合層が形成される。

【0023】次に、図5に示すように、ポリシリコン（ノード11）でトレンチを再充填し平坦化する。トレンチ30をシリコンで充填するには、ボイドの形成を避けるため、低温低圧で、トレンチが満杯になるまで、構造物全体にシリコン層を繰り返し付着させる。次に、基板上のシリコンを電気化学的に研磨し、エッチングすると、図5の構造が形成される。あるいは、ポリシリコンのブランケット付着を繰り返し、その間に孔30の位置に対応する上面にくぼみを形成した後に、そのくぼみをフォトレジスト材料で充填し、シリコン層全体をフォトレジストと一緒にRIEしてもよい。

【0024】次に、カラー31を形成する。これを行うため、記憶ノード11を形成するポリシリコンの上部をまずRIEによってエッチングし、ポリシリコンを所望の深さまで凹ませる。次に、デバイスの表面全体に酸化物を付着し、マスクして異方性のRIEを行い、孔30の水平面上だけに酸化物を残す。水平面上の酸化物層は、カラー31を形成する。次に、ポリシリコンで孔を再充填し、平坦化する。

【0025】次に、LOCOS7の所望の位置でシリコンを凹ませ、その凹みを酸化することによって、デバイス分離を行うLOCOS7を形成する。別法として、LOCOS7の所望の位置に、浅いトレンチをエッチングし、そのトレンチを酸化物で充填してもよい。後者の技法は、浅いトレンチ分離として知られており、好ましい。この時点での構造を図6に示す。

【0026】次に、図7を参照すると、ブランケット酸化によってゲート酸化物層4aを形成し、次いで、図8に示したようなゲート・ポリシリコン2を形成するために、ゲート・ポリシリコン層31の付着およびパターン

化を行う。次に、リンのイオン注入によって、拡散領域13を作成する。次に、デバイス上に薄い酸化物層を付着し、その酸化物に異方性RIEを行って、ポリシリコン接点2の垂直面上に酸化物スペーサを残すことにより、ゲート・ポリシリコンに対する酸化物スペーサ4を形成する。

【0027】次に、TEOS層32を付着し、拡散領域13上の接点3を形成したい部分をエッチングする。次に、エッチングした部分を金属で充填して、図9に示したような接点3を形成し、次いで接地線3aをパターン化すると、図10の構造が得られる。

【0028】次に、図11に示すように、接地線3aおよび接点3を分離するために別のTEOS層6を付着し、次いで付着とパターン化によって、TFTゲート・ポリシリコン12の付着とパターン化を行う。TFTゲート・ポリシリコン12上に、図12に示したゲート酸化物33を酸化によって形成し、次にTFT本体ポリシリコン9を付着しパターン化する。

【0029】次に、図13に示すように、TEOS層34をブランケット付着する。そして、図14に示すように、トレンチ接点孔35をパターン化し、様々な層を貫いて最終的に基板1上で止まるまで順次異方性RIEを行う。次に、接点8の底部との接触をより良くするために、孔35の底部でホウ素のイオン注入を行って拡散領域13を拡げる。次に、孔35をポリシリコンまたは金属で充填する前に、図1に示したようにTiSi<sub>2</sub>層14およびTiN層15でライニングする。次に、TFT本体ポリシリコン9および電源（VDD）の配線と接続するために、接点8をパターン化する。

【0030】次に、図15を参照して、本発明によるSRAMの回路を説明する。セルは、p型デバイス100および101、ならびにn型デバイス102および103を含む。また、n型アクセス・デバイス104および105も設けられている。書き込み動作中は、アクセス・デバイス104および105がオンになり、セルにデータが書き込まれる。読取り動作中は、やはりデバイス104および105がオンになり、セルに記憶されたデータに従ってセンス増幅器がセットされる。記憶ノード120は、図1の垂直接点8に対応する。この記憶ノードは、拡散接点111（図1の9に対応する）、ゲート接点112（図1の12に対応する）、拡散接点113（図1の1つの拡散領域13に対応する）、もう1つの拡散接点114（図1のもう1つの拡散領域に対応する）、およびトレンチ・キャパシタ115a（図1のポリシリコン・プレート11に対応する）に接続する。110aはアースである。

【0031】図15の回路の動作は、以下のとおりである。入力BLが高レベル（すなわち、BLバーが低レベル）のとき、トランジスタ104および105のゲートが高レベルになるとデータがセルに読み込まれる。BL

10

20

30

40

50

バーが低レベルなので記憶ノード122は高レベルになり、その結果トランジスタ100がオンになりトランジスタ102がオフになる。これにより、ノード122が $V_{DD}$ の電位に上昇する。同時に、アクセス・トランジスタ105からの高レベルの入力により、トランジスタ101がオフになり、トランジスタ103がオンになり、ノード120が接地電位になる。

【0032】本発明を、好ましい実施例に関して特に説明してきたが、本発明の趣旨および範囲から逸脱することなしに修正を行えることが、当業者によって理解されよう。

【0033】まとめとして、本発明の構成に関して以下の事項を開示する。

【0034】(1) 基板と、基板内に形成されたキャパシタと、基板内でキャパシタと隣接する第1の拡散領域と、キャパシタと接触する第1のゲート・ノードと、基板内で第1の拡散領域から離隔された第2の拡散領域と、第1および第2の拡散領域と接触する第2のゲート・ノードと、第2の拡散領域と接触する第3のゲート・ノードと、第2の拡散領域と接触し、第1および第2のゲート・ノードから電気的に分離された接点と、第1、第2および第3のゲート・ノード、接点、ならびに基板露出表面の上の絶縁体層と、絶縁体層上に形成されたポリシリコン・ゲート層と、ポリシリコン・ゲート層上に形成されたポリシリコン本体と、キャパシタを、第1の拡散領域、第1のゲート・ポリシリコン層、ポリシリコン・ゲート層およびポリシリコン本体のそれぞれに電気的に接続し、それによりセルのラッチ・ノードを形成する単一接点を含むSRAMセル。

(2) 単一接点が、第2のトレンチ内に垂直方向に配設されていることを特徴とする、上記(1)に記載のSRAMセル。

(3) 第2のトレンチが、拡散障壁層でライニングされていることを特徴とする、上記(2)に記載のSRAMセル。

(4) キャパシタが、基板内に形成されたトレンチと、トレンチをライニングする誘電体材料と、トレンチ内のプレート材料とを含むことを特徴とする、上記(1)に記載のSRAMセル。

(5) ゲート層が、薄膜トランジスタのゲート層であり、本体が、薄膜本体であることを特徴とする、上記(1)に記載のSRAMセル。

(6) 基板内で第1のトレンチと隣接するが第1の拡散領域とは接触しないLOCOS絶縁領域をさらに含むことを特徴とする、上記(1)に記載のSRAMセル。

(7) 基板を準備する段階と、基板内にキャパシタを形成する段階と、基板内でキャパシタに隣接して第1の拡散領域を形成する段階と、記憶ノード上に第1のゲート・ノードを形成する段階と、基板内で第1の拡散領域から離隔させて第2の拡散領域を形成する段階と、第1お

よび第2の拡散領域と接触する第2のゲート・ノードを形成する段階と、第2の拡散領域と接触する第3のゲート・ノードを形成する段階と、第2の拡散領域上に、第1および第2のゲート・ノードから電気的に分離された接点を形成する段階と、第1、第2および第3のゲート・ノード、接点、ならびに基板露出表面の上に絶縁体層を形成する段階と、絶縁体層上にポリシリコン・ゲート層を形成する段階と、ポリシリコン・ゲート層上にポリシリコン本体を形成する段階と、キャパシタを、拡散領域、第1のゲート・ポリシリコン・ノード、ポリシリコン・ゲート層およびポリシリコン本体のそれぞれに電気的に接続する単一接点を形成する段階とを含むSRAMセルを製造する方法。

(8) キャパシタを形成する段階が、さらに、基板内にトレンチを形成する段階と、トレンチを誘電体材料でライニングする段階と、トレンチをゲート材料で充填する段階とを含むことを特徴とする、上記(7)に記載の方法。

(9) 単一接点が、垂直方向に配設されることを特徴とする、上記(7)に記載の方法。

(10) 垂直な接点を拡散障壁層で実質上取り囲む段階をさらに含むことを特徴とする、上記(9)に記載の方法。

(11) キャパシタを形成する段階が、さらに、基板内にトレンチを形成する段階と、トレンチを誘電体材料でライニングする段階と、トレンチをゲート材料で充填する段階とを含むことを特徴とする、上記(9)に記載の方法。

(12) 基板と、基板内に形成されたトレンチ・キャパシタと、基板内でキャパシタと隣接する第1の拡散領域と、トレンチ・キャパシタ上の第1のゲート・ノードと、基板内で第1の拡散領域から離隔された第2の拡散領域と、基板表面上にあり、第1および第2の拡散領域と接触する第2のゲート・ノードと、基板表面上にあり、第2の拡散領域と接触する第3のゲート・ノードと、第2の拡散領域と接触し、第1および第2のゲート・ノードから電気的に分離された接点と、第1、第2および第3のゲート・ノード、接点、ならびに基板露出表面の上の絶縁体層と、絶縁体層上に形成されたポリシリコン・ゲート層と、ゲート層上に形成されたポリシリコン本体と、記憶ノードを、拡散領域、ゲート・ポリシリコン層、ゲート層および本体のそれぞれに電気的に接続する接点を含むSRAMセル。

(13) 接点が、垂直方向に配設されることを特徴とする、上記(12)に記載のSRAMセル。

(14) 接点が、第2のトレンチ内に配設され、第2のトレンチが、拡散障壁層でライニングされることを特徴とする、上記(13)に記載のSRAMセル。

(15) 基板内で第1のトレンチと隣接するが第1の拡散領域とは接触しないLOCOS絶縁領域をさらに含む



ことを特徴とする、上記(13)に記載のSRAMセル。

(16) 基板と、基板内の第1の拡散領域と、第1の拡散領域上の第1のゲート・ノードと、基板内で第1の拡散領域から離隔された第2の拡散領域と、第1および第2の拡散領域と接触する第2のゲート・ノードと、基板表面上にあり、第2の拡散領域と接触する第3のゲート・ノードと、第2の拡散領域上にあり、第1および第2のゲート・ノードから電氣的に分離された接点と、第1および第2のゲート・ノードの上にあり、第1および第2のゲート・ノードから電氣的に分離されたゲート層と、ゲート層上に形成された本体と、拡散領域、ゲート・ポリシリコン層、ゲート層および本体を電氣的に接続し、接点と接触する要素間の拡散を防止し、諸要素の極性を保持する手段によって実質上取り囲まれた単一接点を含むSRAMセル。

(17) 単一接点と大地の間に容量を導入し、それによりセルの安定性を改善する手段をさらに含むことを特徴とする、上記(16)に記載のセル。

(18) 単一接点が垂直方向に配設されることを特徴とする、上記(16)に記載のセル。

(19) 容量を導入する手段が、単一接点とアースの間に配設されたキャパシタを含むことを特徴とする、上記(17)に記載のセル。

(20) キャパシタが、基板内のトレンチ内で単一接点とアースの間にあることを特徴とする、上記(19)に記載のセル。

(21) 拡散を防止し諸要素の極性を保持する手段が、接点を取り囲む拡散障壁層を含むことを特徴とする、上記(16)に記載のセル。

【図面の簡単な説明】

【図1】本発明によるSRAMセルの1つのラッチ・ノードの概略断面構造を示す図である。

【図2】図1のSRAMセルの上面図(レイアウト)を示す図である。

【図3】本発明によるSRAMセルを製造する工程の最初の工程段階を示す図である。

【図4】本発明によるSRAMセルを製造する図3に続く工程段階を示す図である。

【図5】本発明によるSRAMセルを製造する図4に続く工程段階を示す図である。

【図6】本発明によるSRAMセルを製造する図5に続く工程段階を示す図である。

【図7】本発明によるSRAMセルを製造する図6に続く工程段階を示す図である。

【図8】本発明によるSRAMセルを製造する図7に続く工程段階を示す図である。

【図9】本発明によるSRAMセルを製造する図8に続く工程段階を示す図である。

【図10】本発明によるSRAMセルを製造する図9に続く工程段階を示す図である。

【図11】本発明によるSRAMセルを製造する図10に続く工程段階を示す図である。

【図12】本発明によるSRAMセルを製造する図11に続く工程段階を示す図である。

【図13】本発明によるSRAMセルを製造する図12に続く工程段階を示す図である。

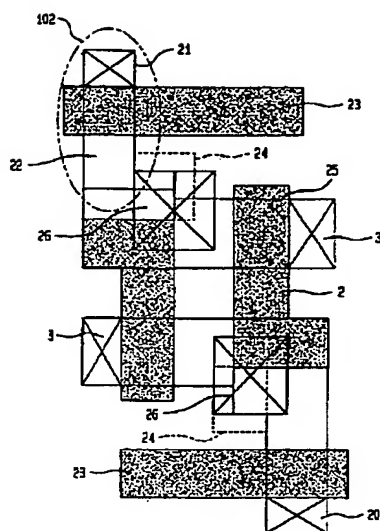
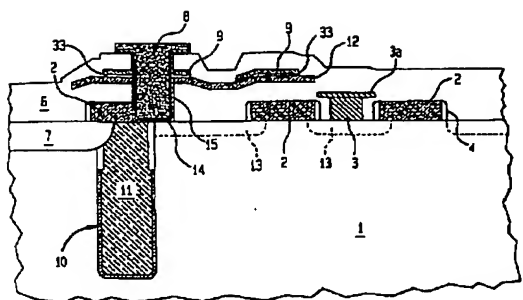
【図14】本発明によるSRAMセルを製造する図13に続く工程段階を示す図である。

【図15】本発明のデバイスによって形成された電気回路の概略図である。

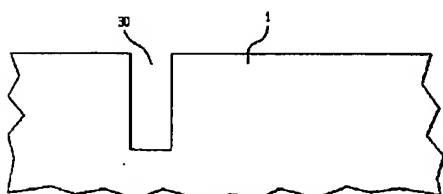
【符号の説明】

- 1 基板接点
- 2 ゲート・ポリシリコン層
- 3 接地接点
- 3a 接地線
- 4 酸化物スペーサ
- 6 付着酸化物
- 7 LOCOS絶縁体
- 9 TFT本体ポリシリコン
- 10 キャパシタ絶縁体
- 11 トレンチ・ポリシリコン・ノード
- 12 TFTゲート・ポリシリコン
- 13 拡散領域
- 14  $TiSi_2$ 層
- 15  $TiN$ 層
- 20 ビット線接点
- 21 補ビット線
- 22 拡散領域
- 23 ワード線
- 24 トレンチ
- 25 NMOSドライバ
- 26 ポリシリコン拡散トレンチ接点
- 30 トレンチ
- 31 カラー
- 32 TEOS層
- 33 ゲート酸化物
- 34 TEOS層
- 35 トレンチ接点孔

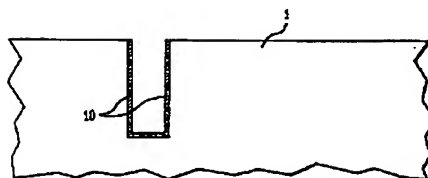
【圖2】



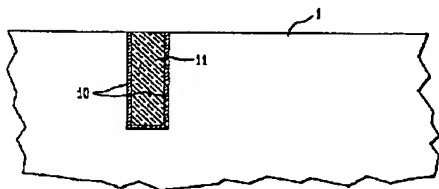
【図3】



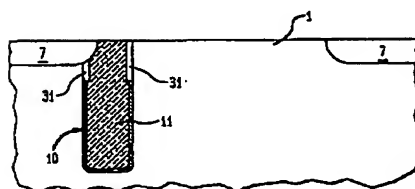
【図4】



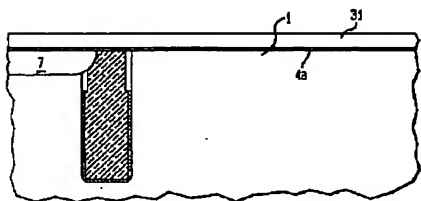
【図5】



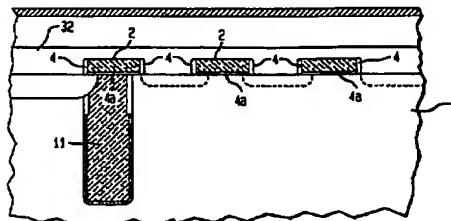
【図6】



【図 7】



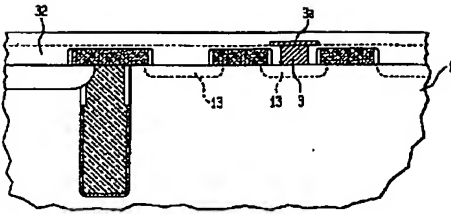
【圖8】



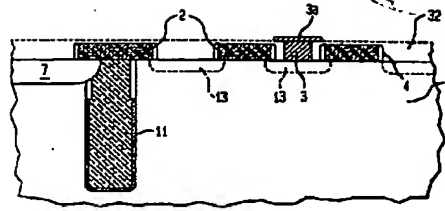
(9)

特開平8-102502

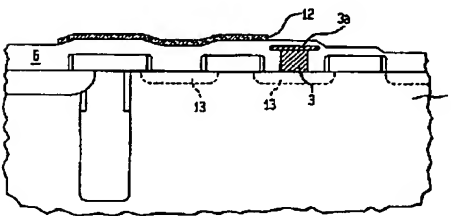
【図9】



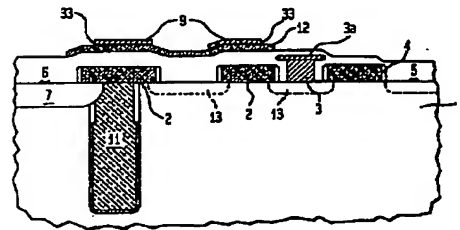
【図10】



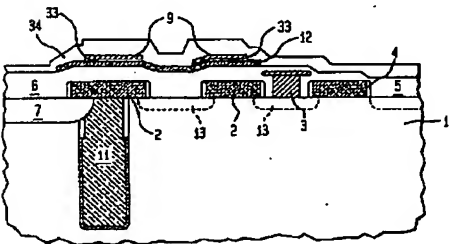
【図11】



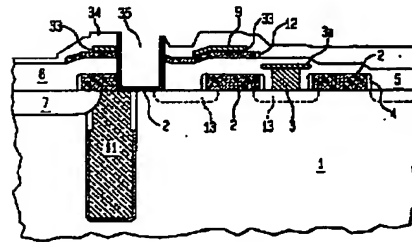
【図12】



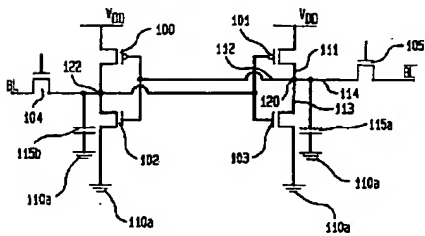
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 29/786

識別記号 庁内整理番号

F I

技術表示箇所